

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005 年 7 月 28 日 (28.07.2005)

PCT

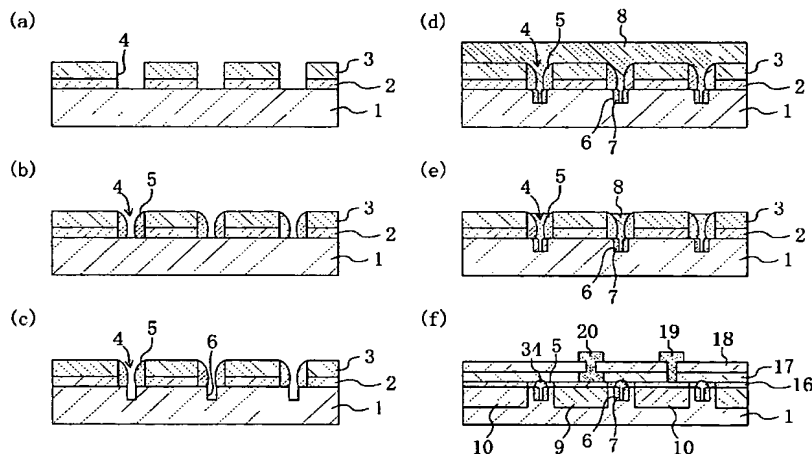
(10) 国際公開番号  
WO 2005/069377 A1

- (51) 国際特許分類<sup>7</sup>: H01L 27/146, (71) 出願人 (米国を除く全ての指定国について): 松下電  
H04N 5/335, H01L 21/76 器産業株式会社 (MATSUSHITA ELECTRIC INDUS-  
TRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大  
字門真 1 0 0 6 番地 Osaka (JP).
- (21) 国際出願番号: PCT/JP2005/000129
- (22) 国際出願日: 2005 年 1 月 7 日 (07.01.2005) (72) 発明者; および
- (25) 国際出願の言語: 日本語 (75) 発明者/出願人 (米国についてのみ): 森 三佳 (MORI,  
Mitsuyoshi). 山口 琢己 (YAMAGUCHI, Takumi). 吉田  
真治 (YOSHIDA, Shinji).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: (74) 代理人: 前田 弘, 外 (MAEDA, Hiroshi et al.); 〒  
5410053 大阪府大阪市中北区本町 2 丁目 5 番 7 号  
大阪丸紅ビル Osaka (JP).
- 特願2004-010715 2004 年 1 月 19 日 (19.01.2004) JP
- 特願2004-010718 2004 年 1 月 19 日 (19.01.2004) JP
- 特願2004-010723 2004 年 1 月 19 日 (19.01.2004) JP
- 特願2004-057260 2004 年 3 月 2 日 (02.03.2004) JP
- (81) 指定国 (表示のない限り、全ての種類の国内保護が  
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,

[続葉有]

(54) Title: SOLID-STATE IMAGING DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 固体撮像装置およびその製造方法



(57) Abstract: A method for manufacturing a solid-state imaging device, wherein a pad insulating film (2) of an oxide film and an oxidation-resistance film (3) of a nitride film are deposited on an n-type semiconductor substrate (1), an opening (4) is formed to expose an element-isolation region of the semiconductor substrate (1), an oxidation-resistance film (not shown) for filling in the opening (4) is formed on the substrate, a side wall (5) is formed by anisotropic dry etching, a trench (6) is formed using the oxidation-resistance film (3) and the side wall (5) as a mask, p-type impurities are implanted into the exposed portion of the side surface of the trench (6) of the semiconductor substrate (1), a thermal oxide film is formed on the surface of the trench (6) of the semiconductor substrate (1), and the trench (6) is filled in with a filling film (8).

(57) 要約: 本発明の固体撮像装置の製造方法では、n型の半導体基板1の上に、酸化膜からなるパッド絶縁膜2と、窒化膜からなる耐酸化性膜3とを堆積する。そして、開口4を形成することにより、半導体基板1の素子分離領域を露出させる。次に、基板上に開口4を埋める耐酸化性膜(図示せず)を形成し、異方性ドライエッチングを行うことによりサイド

[続葉有]



BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 補正書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

ウォール5を形成する。次に、耐酸化性膜3およびサイドウォール5をマスクとしてトレンチ6を形成する。次に、半導体基板1のうちトレンチ6の側面に露出する部分にp型の不純物を注入し、半導体基板1のうちトレンチ6の表面部に熱酸化膜を形成する。その後、トレンチ6を埋め込み用膜8で埋める。